

DERWENT- 1999-625448

ACC-NO:

DERWENT- 199954

WEEK:

*COPYRIGHT 1999 DERWENT INFORMATION LTD*

**TITLE:** Capacitance control circuit of variable capacity element used in analog circuit - controls capacitance of variable capacity element uniformly based on capacitive control signal output from comparator

**PRIORITY-DATA:** 1998JP-0069693 (March 19, 1998)

**PATENT-FAMILY:**

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP 11274401A	October 8, 1999	N/A	008	H01L 027/04

**INT-CL (IPC):** H01L021/822, H01L027/04

**ABSTRACTED-PUB-NO:** JP 11274401A

**BASIC-ABSTRACT:**

NOVELTY - The mean voltage (VLP) of low pass filter (6) and the reference voltage (Vr) set beforehand are compared by a comparator (8). The capacitive control signal output from comparator is fed back to variable capacity elements (5,9). Based on the capacitive control signal, each capacitance of the variable capacity elements is uniformly controlled. DETAILED DESCRIPTION - The switches (2,3) are operated corresponding to charging and discharging control signals (S1,S2), based on which charging and discharging of the variable capacity element (5) is done alternatively by the current source IC from constant current source (1).

USE - For controlling capacitance of variable capacity element used in analog circuits.

ADVANTAGE - Capacitive value of capacitive element is controlled by the capacitive control circuit with high precision. DESCRIPTION OF DRAWING(S) - The figure shows the basic component of capacitive control circuit. (1) Constant current source; (2,3) Switches; (5,9) Variable capacity elements; (6) Low pass filter; (8) Comparator; (S1,S2) Control signals; (VLP) Mean voltage; (Vr) Reference voltage.

---

**Basic Abstract Text - ABTX (3):**

ADVANTAGE - Capacitive value of capacitive element is controlled by the capacitive control circuit with high precision. DESCRIPTION OF DRAWING(S) - The figure shows the basic component of capacitive control circuit. (1) Constant current source; (2,3) Switches; (5,9) Variable capacity elements; (6) Low pass filter; (8) Comparator; (S1,S2) Control signals; (VLP) Mean voltage; (Vr) Reference voltage.

Derwent Accession Number - NRAN (1):

1999-625448

特開平11-274401

(43) 公開日 平成11年(1999)10月8日

(51) Int.Cl.  
H 01 L 27/04  
21/822

識別記号

F I  
H 01 L 27/04

C

審査請求 未請求 請求項の数9 OL (全8頁)

(21) 出願番号

特願平10-69693

(22) 出願日

平成10年(1998)3月19日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72) 発明者 井上 忠夫

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

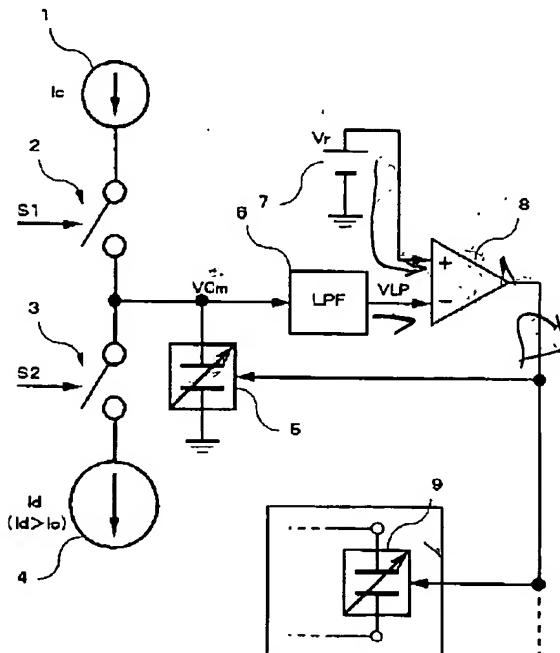
(74) 代理人 弁理士 笹島 富二雄

## (54) 【発明の名称】 容量制御回路

## (57) 【要約】

【課題】1つの基板上に形成された容量素子の容量値を同じ基板内で高精度に制御する容量制御回路を提供する。

【解決手段】充電制御信号S1及び放電制御信号S2に従ってスイッチ2, 3の各動作が制御され、定電圧源1からの電流Icによる可変容量素子5の充電及び放電が交互に繰り返される。そして、可変容量素子5にかかる電圧VCmの時間平均が低域通過フィルタ6で求められ、その平均電圧VLPと予め設定した基準電圧Vrとの比較が比較器8で行なわれて、容量制御信号が可変容量素子5に帰還されるとともに、可変容量素子9にも送られる。この容量制御信号に従って、可変容量素子5, 9の容量値が補正されることで、1つの基板上の各容量値が高い精度で一定に制御される。



1

## 【特許請求の範囲】

【請求項1】 容量値を変化させることのできる少なくとも1つの可変容量素子と、該可変容量素子の容量値制御用に設けられた、容量値を変化させることのできる参照容量素子と、該参照容量素子について、充電及び放電を交互に繰り返し行なう充放電制御手段と、前記参照容量素子にかかる電圧の時間平均を求める平均演算手段と、該平均演算手段で求められた平均電圧と予め設定した基準電圧とを比較し、その比較結果に基づいて容量制御信号を出力する比較手段と、前記容量制御信号を前記参照容量素子に帰還して容量値を一定に制御する手段と、前記容量制御信号に基づいて前記可変容量素子の容量値を一定に制御する手段と、を1つの基板上に備えて構成したことを特徴とする容量制御回路。

【請求項2】 前記充放電制御手段が、一定の電流を発生する第1定電流発生部と、該第1定電流発生部で発生した電流を前記参照容量素子に供給して充電させる充電制御部と、前記参照容量素子に蓄えられた電荷を放電させる放電制御部と、を備え、前記充電制御部の充電動作と前記放電制御部の放電動作とが、所定の周期で交互に行われる構成としたことを特徴とする請求項1記載の容量制御回路。

【請求項3】 前記充電制御部が、前記第1定電流発生部の出力端子と前記参照容量素子の一方の端子との間に、前記所定の周期で変化する充電制御信号に応じて切り替え動作する第1スイッチを備え、

前記放電制御部が、前記参照容量素子の一方の端子と前記第1定電流発生部よりも大きな定電流を発生する第2定電流発生部の入力端子との間に、前記充電制御信号とは逆相の放電制御信号に応じて切り替え動作する第2スイッチを備えたことを特徴とする請求項2記載の容量制御回路。

【請求項4】 前記充電制御信号及び放電制御信号が、一定のマーク率を有する信号であることを特徴とする請求項3記載の容量制御回路。

【請求項5】 前記充電制御信号及び放電制御信号が、クロック信号であることを特徴とする請求項4記載の容量制御回路。

【請求項6】 前記第1、2スイッチの一方がpチャネルMOSトランジスタであり、他方がnチャネルMOSトランジスタであって、該各MOSトランジスタが同じ制御信号に従ってスイッチ動作することを特徴とする請求項3記載の容量制御回路。

【請求項7】 前記可変容量素子及び前記参照容量素子が、1つの基準容量素子及び少なくとも1つの補助容量素子を有し、前記補助容量素子は前記基準容量素子に対して切替部を介して並列に接続され、該切替部の動作が

2

前記容量制御信号に従って制御されることを特徴とする請求項1～6のいずれか1つに記載の容量制御回路。

【請求項8】 前記可変容量素子が、時間計測回路を構成する容量素子として用いられ、前記時間計測回路は、入力信号に応じて前記可変容量素子を充電して、その充電状態が所定の状態に達するまでの時間を識別することを特徴とする請求項1～7のいずれか1つに記載の容量制御回路。

【請求項9】 前記可変容量素子が、入力信号のピーク値を検出するピーク検出回路を構成する保持容量素子として用いられることを特徴とする請求項1～7のいずれか1つに記載の容量制御回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、容量素子の容量値を制御する回路に関し、特に、アナログ回路を集積化したLSI等に形成された容量素子の絶対精度を向上させる容量制御回路に関する。

## 【0002】

【従来の技術】従来から容量素子はアナログ回路中において一般に用いられている。容量素子を用いた回路の一例として、図10にタイマー回路の構成を示す。このタイマー回路は、図11に示すようなディジタルの入力信号inに応じてスイッチ101をオン状態とすることで、定電流源100の電流icを容量素子102に供給して充電を行なう。容量素子102に電荷がたまって電圧vcが基準電圧vrに達すると、比較器103の出力であるタイマー信号outをハイレベルにする。入力信号inがハイレベルになってからタイマー信号outがローレベルからハイレベルに転じるまでの時間(発出時間)Toは、次の(1)式で与えられる。

$$To = c \cdot vr / ic \quad \dots (1)$$

ただし、容量素子102の容量値をcとする。このように発出時間Toは容量値cに比例するため、正確な発出時間Toが要求される場合、精度の高い容量値cが必要となる。また、近年のマルチメディア化とともに高速通信の発展により、高精度に動作するアナログ回路の要求が高まっている。例えば、ATM-PON(Asynchronous Transfer Mode - Passive Optical Network)方式の光通信システムに用いるピーク検出回路などでは、非常に短い時間内にピーク値を正確に検出できなければならない。即ち、ATM-PON方式では、センター局と加入者との間にスタークアラ等の光分岐回路が配置され、複数の加入者が1つのセンター局に接続されて双方の光通信が行なわれる。各加入者から発信される情報セルは光分岐回路で多重化されてセンター局に送られるが、各セルの光パワーレベルはセンター局と加入者との間の距離の違いなどにより変動する。このためセンター局では、ピーク検出回路を用いて各セルのレベルを検出し、その検出レベルに応じて増幅器の利得等の設定を行

なう。ピーク検出回路では、例えば、各セルのヘッダー情報等を基にピーク値を検出することになるため、極めて短時間で正確にピーク値検出を行なわなければならぬ。容量素子を保持容量として用いてピーク値検出を行なう場合には、検出時間が容量値に依存するため、容量値に高い精度が要求される。

【0004】一般に、アナログ回路を集積化したLSI等に形成される容量素子の容量値は、プロセス変動等によって数割程度の素子ばらつきがある。このため、タイマー回路の発出時間やピーク検出回路の検出時間のように容量値が直接影響する値は、容量値のばらつきに比例してばらついてしまう。発出時間や検出時間に高い精度が要求される場合、これらの時間が要求精度を満たさないために多くのものが不良となり、歩留まりが悪化してコストが増加してしまうことがある。

【0005】このような容量値のばらつきを抑えるための従来の技術としては、例えば、特開平9-36306号広報で公知の回路などがある。この従来技術は、集積回路の外部に高精度のリファレンス容量を接続することで、集積回路内の容量値を制御するものである。

【0006】

【発明が解決しようとする課題】しかしながら、上記従来の技術では、外付け部品としてリファレンス容量を接続するために、実装体積が大きくなってしまうという問題がある。また、リファレンス容量としては、容量値のばらつきが数%程度といった高精度のものが必要となるため、コストが高くなってしまうという問題もある。

【0007】本発明は上記の問題点に着目してなされたもので、1つの基板上の集積回路内に形成された容量素子を利用してその容量値を高精度に制御する容量制御回路を提供することを目的とする。

【0008】

【課題を解決するための手段】このため本発明の容量制御回路は、容量値を変化させることのできる少なくとも1つの可変容量素子と、該可変容量素子の容量値制御用に設けられた、容量値を変化させることのできる参照容量素子と、該参照容量素子について、充電及び放電を交互に繰り返し行なう充放電制御手段と、前記参照容量素子にかかる電圧の時間平均を求める平均演算手段と、該平均演算手段で求められた平均電圧と予め設定した基準電圧とを比較し、その比較結果に基づいて容量制御信号を出力する比較手段と、前記容量制御信号を前記参照容量素子に帰還して容量値を一定に制御する手段と、前記容量制御信号に基づいて前記可変容量素子の容量値を一定に制御する手段と、を1つの基板上に備えて構成したものである。

【0009】かかる構成では、可変容量素子の容量値制御用として1つの基板上に形成された参照容量素子について、充放電制御手段により充電及び放電が交互に繰り返し行なわれ、その参照容量素子にかかる電圧の時間平

均値が平均演算手段で求められる。そして、比較手段において電圧の時間平均値と基準電圧との比較が行なわれ、容量制御信号が生成される。その容量制御信号が参照容量素子に帰還されるとともに可変容量素子にも送られて、それぞれの容量値が一定に制御される。これにより、1つの基板上の可変容量素子の容量値が、基板内の回路構成のみにより高い精度で制御されるようになる。

【0010】また、上記容量制御回路について、前記充放電制御手段が、一定の電流を発生する第1定電流発生部と、該第1定電流発生部で発生した電流を前記参照容量素子に供給して充電させる充電制御部と、前記参照容量素子に蓄えられた電荷を放電させる放電制御部と、を備え、前記充電制御部の充電動作と前記放電制御部の放電動作とが、所定の周期で交互に行なわれる構成としてもよい。

【0011】このような充放電制御手段では、第1定電流発生部から参照容量素子への電流の供給が充電制御部により制御され、また、参照容量素子の放電が放電制御部により制御されることで、参照容量素子の充放電が所定の周期で交互に行われるようになる。さらに、前記充放電制御手段の具体的な構成として、前記充電制御部が、前記第1定電流発生部の出力端子と前記参照容量素子の一方の端子との間に、前記所定の周期で変化する充電制御信号に応じて切り替え動作する第1スイッチを備え、前記放電制御部が、前記参照容量素子の一方の端子と前記第1定電流発生部よりも大きな定電流を発生する第2定電流発生部の入力端子との間に、前記充電制御信号とは逆相の放電制御信号に応じて切り替え動作する第2スイッチを備えるようにしてもよい。また、前記充電制御信号及び放電制御信号は、一定のマーク率を有する信号とするのが望ましく、クロック信号を用いてよい。かかる構成とすることで、参照容量素子の充放電動作が、充電制御信号及び放電制御信号に応じて制御されるようになる。

【0012】加えて、前記第1、2スイッチの一方がpチャネルMOSトランジスタであり、他方がnチャネルMOSトランジスタであって、該各MOSトランジスタが同じ制御信号に従ってスイッチ動作するようにしてもよい。このようにすることで、参照容量素子の充放電動作が1つの制御信号により制御されるようになる。また、前記可変容量素子及び参照容量素子の具体的な構成としては、1つの基準容量素子及び少なくとも1つの補助容量素子を有し、前記補助容量素子は前記基準容量素子に対して切替部を介して並列に接続され、該切替部の動作が前記容量制御信号に従って制御されるようにしてもよい。

【0013】上記のような容量制御回路について、前記可変容量素子が、時間計測回路を構成する容量素子として用いられ、前記時間計測回路は、入力信号に応じて前記可変容量素子を充電して、その充電状態が所定の状態

に達するまでの時間を識別するようにな構成とすることもできる。かかる構成によれば、時間計測回路で高い精度の時間計測が可能となる。

【0014】また、前記可変容量素子が、入力信号のピーク値を検出するピーク検出回路を構成する保持容量素子として用いられるようにしてもよい。これによりピーク検出回路のピーク検出時間が高精度のものとなる。

【0015】

【発明の実施の形態】以下、本発明の実施形態を図面に基づいて説明する。図1は、本実施形態に係る容量制御回路の基本構成を示すブロック図である。図1において、本容量制御回路は、例えば、一定の電流  $I_c$  を発生する第1定電流発生部としての定電流源1と、一方の接点が定電流源1の出力端子に接続された第1スイッチとしてのスイッチ2と、一方の接点がスイッチ2の他方の接点に接続された第2スイッチとしてのスイッチ3と、入力端子がスイッチ3の他方の接点に接続され、一定の電流  $I_d$  を発生する第2定電流発生部としての定電流源4と、一端がスイッチ2、3の共通接続点に接続され、他端が接地された参照容量素子としての可変容量素子5と、入力端子が可変容量素子5の一端に接続された平均演算手段としての低域通過フィルタ (LPF) 6と、基準電圧  $V_r$  を発生する定電圧源7と、反転入力端子が低域通過フィルタ6の出力端子に接続され、基準電圧  $V_r$  が非反転入力端子に印加される比較手段としての比較器8と、を1つの基板上に形成した基本構成とする。また、この基板上には、可変容量素子5と同一形態または対称型の構造を有する可変容量素子9が形成され、後述するアナログ回路の一部を構成している。

【0016】定電流源1は、例えば、図2に示すような一般的なカレントミラー回路等を用いて、安定した一定電流  $I_c$  を発生する。この電流  $I_c$  が可変容量素子5の充電に用いられる。スイッチ2は、充電制御信号  $S_1$  に応じてオン・オフ動作し、スイッチ3は、放電制御信号  $S_2$  に応じてオン・オフ動作する。充電制御信号  $S_1$  及び放電制御信号  $S_2$  は、例えば、NRZ形の1/0変調信号やRZ形のクロック信号のようなパルス間隔が等間隔の信号などを用い、充電制御信号  $S_1$  と放電制御信号  $S_2$  とが交互にハイレベルとなるような逆相関係とする。

【0017】定電流源4は、定電流源1で発生する電流  $I_c$  よりも大きな電流  $I_d$  を発生する ( $I_d > I_c$ )。これは、可変容量素子5の放電速度が充電速度よりも速くなるようにするためである。ここでは、放電側に定電流源4を用いたが、定電流源4に代えて定電圧源を用いたり、スイッチ3の他方の接点を接地させたりしてもよい。

【0018】可変容量素子5は、例えば、図3に示すような構成等が可能である。ただし、図には目標容量値を  $10\text{pF}$  とした場合の一例が示してある。図3に示す可変容

量素子5は、容量値  $8\text{pF}$  の基準容量素子5<sub>1</sub> が端子5a、5b間に接続される。また、容量値  $2\text{pF}$ 、 $1\text{pF}$ 、 $0.5\text{pF}$ 、 $0.25\text{pF}$ 、 $0.125\text{pF}$  の補助容量素子5<sub>2</sub>～5<sub>6</sub> が、それぞれスイッチ5<sub>2</sub>～5<sub>6</sub>を介して基準容量素子5<sub>1</sub> に並列に接続される。各スイッチ5<sub>2</sub>～5<sub>6</sub>の動作は、D/Aコンバータ (DAC) 5dから出力される信号によって制御される。D/Aコンバータ5dは、比較器8から制御端子5cに送られてくる容量制御信号を入力信号とする。ここでは、可変容量素子5が、帰還された容量制御信号に従って容量値を一定に制御する機能を備えている。なお、可変容量素子9についても、上記可変容量素子5と同様の構成とする。

【0019】低域通過フィルタ6は、例えば、図4に示すように、オペアンプ6aによるボルテージ・フォロアと、抵抗6b及び容量素子6cで構成されるRC回路とからなる。抵抗6bの抵抗値及び容量素子6cの容量値は、ここでは、上記のように充電制御信号  $S_1$  及び放電制御信号  $S_2$  にクロック信号等を用いるため、可変容量素子5にかかる電圧  $V_{Cm}$  の平均値が出せる精度で、かつ、負帰還ループが発振しない範囲の値を適宜に選択できる。例えば、抵抗6bの抵抗値を  $10\text{k}\Omega$ 、容量素子6cの容量値を  $100\text{pF}$  程度とする。この低域通過フィルタ6は、充電制御信号  $S_1$  や放電制御信号  $S_2$  の繰り返し周波数よりも十分に低い高域遮断周波数を持つようにして、電圧  $V_{Cm}$  を時間平均した平均電圧  $V_{LP}$  を発生する。

【0020】比較器8は、例えば、平均電圧  $V_{LP}$  が基準電圧  $V_r$  より小さいときローレベルの信号を出し、平均電圧  $V_{LP}$  が基準電圧  $V_r$  を超えるとハイレベルの信号を出力する。ここで用いる基準電圧  $V_r$  は、基板上の可変容量素子について設定された目標容量値に応じて予め定められたものであり、定電圧源7により安定した定電圧が確保されている。この比較器8の出力信号が、容量制御信号として可変容量素子5、9に送られる。

【0021】次に、上記のような基本構成の容量制御回路の動作について説明する。まず、図5に示すように、ハイレベルの充電制御信号  $S_1$  がスイッチ2に送られると、スイッチ2がオン状態となる。このとき、放電制御信号  $S_2$  は、ローレベルなのでスイッチ3はオフ状態となる。これにより、定電流源1からの電流  $I_c$  がスイッチ2を通って可変容量素子5に供給されて、可変容量素子5の充電が行われる。充電中の可変容量素子5にかかる電圧  $V_{Cm}$  は、次の(2)式に従って変化する。

$$V_{Cm} = I_c \cdot t / C_m \quad \dots (2)$$

ただし、スイッチ2がオフ状態からオン状態に切り替わってからの経過時間を  $t$  とし、可変容量素子5の現時点での容量値を  $C_m$  とする。(2)式に表されるように、電圧  $V_{Cm}$  は時間  $t$  に比例して高くなる。そして、充電制御信号  $S_1$  がハイレベルからローレベルに変化すると、スイッチ2がオフ状態となり、定電流源1から可変容量素

子5への電流  $I_c$  の供給が遮断される。このとき、放電制御信号  $S_2$  がハイレベルとなって、スイッチ3がオン状態となる。これにより、可変容量素子5に蓄えられた電荷が、スイッチ3を通って定電流源4に放電される。このときの放電速度は、定電流源4の電流  $I_d$  を定電流源1の電流  $I_c$  よりも大きくしてあるため、充電速度に比べて高速であり、可変容量素子5に蓄えられた電荷が速やかに放電される。これにより、可変容量素子5にかかる電圧  $V_{Cm}$  は、瞬時に接地レベルにはりつくようになる。

$$VLP = |V_{Cm}|_{MAX} / 4 = I_c \cdot T / (4 \cdot C_m) \quad \dots(3)$$

このような平均電圧  $VLP$  が比較器8に送られると、比較器8では、平均電圧  $VLP$  と基準電圧  $V_r$  との大小比較が行われる。そして、比較器8での比較結果を示す容量制御信号が可変容量素子5にフィードバックされ、可変容量素子5の容量値が容量制御信号に従って変更される。具体的には、図3に示したような構成の可変容量素子5では、比較器8から制御端子5cに送られた容量制御信号に応じて、各スイッチ5s2～5s6のオン・オフ状態が制御されて、基準容量素子51に並列接続される補助容量素子52～56の組み合わせが切り替えられる。これにより、可変容量素子5全体の容量値が8pF～11.875pFの範囲で変化し、目標容量値10pFに対して±20%程度のばらつきに対応可能となる。

【0025】このようにして、平均電圧  $VLP$  が基準電圧  $V_r$  に一致するように可変容量素子5の容量値が制御される。この結果、可変容量素子5の容量値  $C_m$  は、次の(4)式で示される一定値に制御される。

$$C_m = I_c \cdot T / (4 \cdot V_r) \quad \dots(4)$$

また、比較器8から出力された容量制御信号は、同一基板上の可変容量素子9にも送られる。可変容量素子9でも、可変容量素子5と同様にして、容量値が容量制御信号に従って変更される。したがって、可変容量素子5の容量値も(4)式で示される一定値に制御される。

【0026】このように、本容量制御回路によれば、安定した定電流  $I_c$  及び基準電圧  $V_r$  を与え、正確な周期  $T$  をもつ充電制御信号  $S_1$  及び放電制御信号  $S_2$  を用いて、基板上の1つの可変容量素子5の充放電を交互に繰り返し行ない、可変容量素子5にかかる電圧  $V_{Cm}$  の時間平均と基準電圧  $V_r$  とを比較し、その結果を可変容量素子5、9にフィードバックすることで、1つの基板上に形成された可変容量素子の容量値を高い精度で一定の値に制御することができる。したがって、基板上に可変容量素子を形成する際のプロセス変動等による容量値のばらつきが発生しても、そのばらつきを同一基板内で吸収※

$$C_m = I_c \cdot T / (2 \cdot V_r) \quad \dots(5)$$

ただし、容量値の高精度化を考慮すると、NRZ形の1/0変調信号やRZ形のクロック信号を用いることが望ましいと言える。さらに、定電流源1及び定電圧源7について、安定した定電流及び定電圧を得ることが難しい★50

\*【0023】上記のような可変容量素子5の充放電が交互に繰り返されることにより、可変容量素子5にかかる電圧  $V_{Cm}$  の波形は、図5の中段に示すような間欠的な三角波となる。このように変化する電圧  $V_{Cm}$  を低域通過フィルタ6に通すと、電圧  $V_{Cm}$  を時間平均した電圧信号が outputされる。この低域通過フィルタ6から出力される平均電圧  $VLP$  は、例えば、充電制御信号  $S_1$  及び放電制御信号  $S_2$  をローレベルとハイレベルの比率が等しい周期  $T$  の信号とすると、次の(3)で表すことができる。

\*10 【0024】

$$\cdot T / (4 \cdot C_m) \quad \dots(3)$$

※できるため、内部容量精度の高い集積回路が実現可能となる。

【0027】なお、上述の構成では、充電制御信号  $S_1$  及び放電制御信号  $S_2$  を用いてスイッチ2、3の動作をそれぞれ制御する構成としたが、例えば、図6に示すように、スイッチ2、3にMOSトランジスタを用い、共通の制御信号  $S$  で各MOSトランジスタの動作を制御してもよい。図6の例では、スイッチ2としてpチャネル

20 MOSトランジスタMPを使用し、スイッチ3としてnチャネルMOSトランジスタMNを使用して、各MOSトランジスタMP、MNのゲート端子に制御信号  $S$  を印加する。制御信号  $S$  としては、例えば、上述の図5に示した充電制御信号  $S_1$  と同様の信号などを用いる。この場合、制御信号  $S$  がハイレベルのときには、pチャネルMOSトランジスタMPがオフ状態となり、nチャネルMOSトランジスタMNがオン状態となって、可変容量素子5の放電が行われる。一方、制御信号  $S$  がローレベルのときには、pチャネルMOSトランジスタMPがオン状態となり、nチャネルMOSトランジスタMNがオフ状態となって、可変容量素子5の充電が行われる。

【0028】このように、スイッチ2、3をMOSトランジスタで構成することで、共通の制御信号  $S$  により可変容量素子5の充放電を制御できるようになり、充電制御信号  $S_1$  及び放電制御信号  $S_2$  の同期制御等が不要になる。また、充電制御信号  $S_1$  及び放電制御信号  $S_2$  を、ローレベルとハイレベルの比率(マーク率)が等しい信号として説明したが、本発明で可変容量素子5の充放電動作を制御する信号は、マーク率が既知で一定な信号であり、かつ、繰り返し周波数が低域通過フィルタ6に対応した信号であれば利用可能である。例えば、充放電制御信号のハイレベル継続時間が  $T_1$ 、ローレベル継続時間が  $T_2$  の場合には、上述の(4)式は、次の(5)式となる。

【0029】

$$\cdot (T_1 + T_2) \quad \dots(5)$$

★場合には、図7に示すような構成とすることも可能である。

【0030】図7の構成では、図2に示したカレントミラー回路の定電流源1cに代えて、nチャネルMOSト

ランジスタ1dを設け、該MOSトランジスタ1dのゲート端子に比較器1eの出力端子を接続し、ソース端子に高精度の抵抗1fを接続する。比較器1eは、定電圧源7からの基準電圧Vrが非反転入力端子に印加され、反転入力端子とMOSトランジスタ1dのソース端子とが接続される。

【0031】このような回路では、可変容量素子5を充電する定電流Icを得るために、電圧Vr、比較器1e、抵抗1f及びMOSトランジスタ1dによって定電流Ic'をつくり、この定電流Ic'をMOSトランジスタ1a、1bで構成されるカレントミラー回路によって可変容量素子5への電流Icとしている。カレントミラー回路の各パスを流れる電流Ic、Ic'の比をIc : Ic' = 1 : Mとし、抵抗1fの抵抗値をRとする、電流Icは次の(6)式で示すようになる。

$$Ic = Vr / (M \cdot R) \quad \dots(6)$$

したがって、上述した(4)式及び(6)式により、可変容量素子5の容量値Cmは次の(7)式となる。

$$\begin{aligned} Cm &= Ic \cdot T / (4 \cdot Vr) \\ &= Vr \cdot T / (M \cdot R) / (4 \cdot Vr) \\ &= T / (4 \cdot M \cdot R) \quad \dots(7) \end{aligned}$$

このように可変容量素子5の容量値Cmは、電流Ic及び電圧Vrに影響されなくなって、その代わりに高精度の抵抗1fが必要となる。抵抗1fとしては、例えば、同じ基板上に形成したトリミング抵抗等を利用することで精度の高い抵抗値Rを得ることができる。もちろん、抵抗1fを外付け部品としても構わない。

【0033】以下では、上述した容量制御回路によって高精度の容量値が実現された可変容量素子を用いて構成したアナログ回路の一例を説明する。まず、図8は、上述の可変容量素子9を用いてタイマー回路を構成した場合のブロック図を示す。図8において、容量制御回路10は、上記の図6に示した構成と同様である。タイマー回路20は、上述の図10に示した従来のタイマー回路の構成と同様であり、従来の容量素子102に代えて、可変容量素子9を用いたものである。

【0034】このようにタイマー回路を構成する容量素子として、容量制御回路10により容量値が高精度に制御された可変容量素子9を用いることで、従来に比べてより正確な発出時間Toを得ることが可能である。次に、図9は、上述の可変容量素子9を用いてピーク検出回路を構成した場合のブロック図を示す。

【0035】図9において、容量制御回路10は、上記の図6に示した構成と同様である。ピーク検出回路30は、入力信号INと可変容量素子9にかかる電圧Vcとを比較器30aで比較し、入力信号INのレベルが電圧Vcよりも大きければ、定電流源30bからの電流iがNチャネルMOSトランジスタ30cを介して可変容量素子9に供給されて、可変容量素子9の充電が行われる。一方、入力信号INのレベルが電圧Vcよりも小さ

くなると、定電流源30bから可変容量素子9への電流iの供給が停止される。また、リセット信号Rが入力されると、可変容量素子9に蓄えられた電荷が定電源30eに放電される。したがって、入力信号INのピーク値が電圧Vcによって表され、その値がピーク検出信号OUTとして出力される。

【0036】このようにピーク検出回路を構成する保持容量素子として、容量制御回路10により容量値が高精度に制御された可変容量素子9を用いることで、可変容量素子9の容量値によって決まる充放電時定数の変動を抑えることができるため、ピーク検出時間の高精度化を図ることが可能となる。なお、上述した実施形態では、可変容量素子5にかかる電圧の時間平均に基づく容量制御信号を用いて、可変容量素子5のフィードバック制御を行なうとともに、同じ基板上の1つの可変容量素子9の容量値制御も行なう場合を説明したが、本発明はこれに限らず、容量制御信号を用いて1つの基板上の複数の可変容量素子の容量値制御を行なうようにしてもよい。

20 1つのウェハに形成される容量素子の容量値はプロセス変動等によってばらつきが生じるが、近い位置にある個々の容量素子は比較的揃った容量値となる場合が多いので、上記のように同じ基板上の複数の可変容量素子について容量値制御を行なうことで、高い精度で容量値の揃った集積回路を実現できるという効果がある。

【0037】

【発明の効果】以上説明したように、本発明の容量制御回路は、可変容量素子の容量値制御用として1つの基板上に設けられた参照容量素子について充放電を交互に繰り返し行ない、その参照容量素子にかかる電圧の時間平均と基準電圧とを比較して得た容量制御信号に従って、参照容量素子及び可変容量素子の容量値を制御するようにしたことによって、基板内の回路構成のみにより、可変容量素子の容量値を高い精度で一定の値に制御することができる。したがって、本容量制御回路を用いた集積回路の実装体積を小さくすることが可能であり、かつ、従来のような高精度のリファレンス容量が不要であるためコストの低減を図ることができる。

40 【0038】また、上記容量制御回路によって容量値が高精度に制御された可変容量素子を用いて時間計測回路を構成したことによって、従来の時間計測回路に比べてより正確な時間計測が可能になる。あるいは、容量制御回路により制御された可変容量素子を保持容量素子として使用してピーク検出回路を構成したことによって、充放電時定数の変動を抑えることができるため、ピーク検出時間の高精度化を図ることが可能となる。

【図面の簡単な説明】

【図1】本発明の実施形態の容量制御回路の基本構成を示す図である。

50 【図2】同上実施形態の定電流源の構成例を示す図であ

る。

【図3】同上実施形態の可変容量素子の構成例を示す図である。

【図4】同上実施形態の低域通過フィルタの構成例を示す図である。

【図5】同上実施形態の各ノードにおける信号波形を示す図である。

【図6】同上実施形態について、充放電の制御をMOSトランジスタを用いて行なうときの構成例を示す図である。

【図7】同上実施形態について、安定した定電流及び定電圧が得られないときの構成例を示す図である。

【図8】同上実施形態の容量制御回路を用いてタイマー回路を構成したときの一例を示す図である。

【図9】同上実施形態の容量制御回路を用いてピーク検出を構成したときの一例を示す図である。

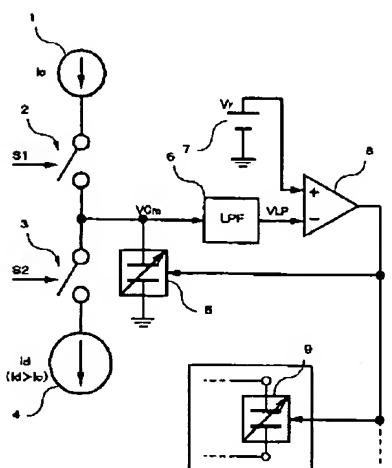
【図10】従来のタイマー回路の構成を示す図である。

【図11】従来のタイマー回路の動作を説明する図である。

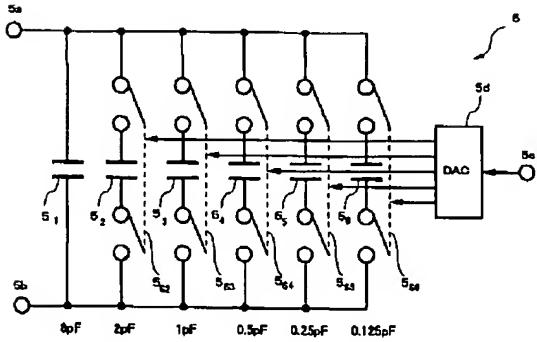
【符号の説明】

- 1, 4, 1c … 定電流源
- 2, 3, 5s<sub>2</sub> ~ 5s<sub>6</sub> … スイッチ
- 5, 9 … 可変容量素子
- 6 … 低域通過フィルタ (LPF)
- 7 … 定電圧源
- 8, 1e … 比較器
- 10 1a, 1b, 1d, MP, MN … MOSトランジスタ
- 1f … 抵抗
- 5<sub>1</sub> ~ 5<sub>6</sub> … 容量素子
- 5d … D/Aコンバータ (DAC)
- 10 … 容量制御回路
- 20 … タイマー回路
- 30 … ピーク検出回路

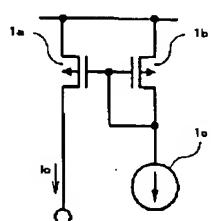
【図1】



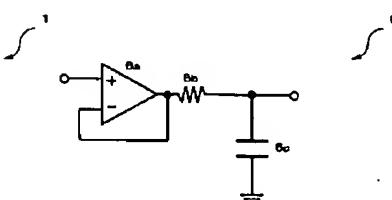
【図3】



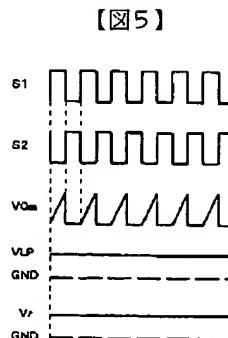
【図2】



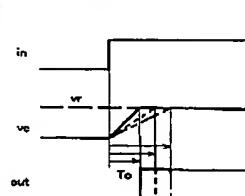
【図4】



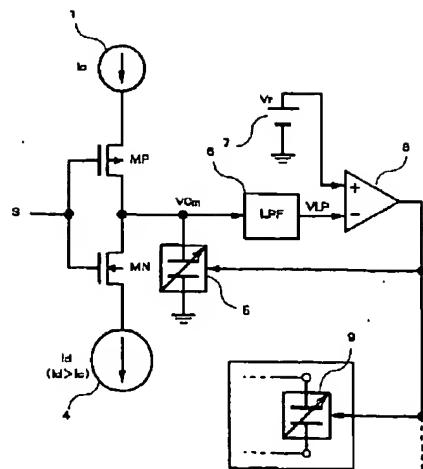
【図10】



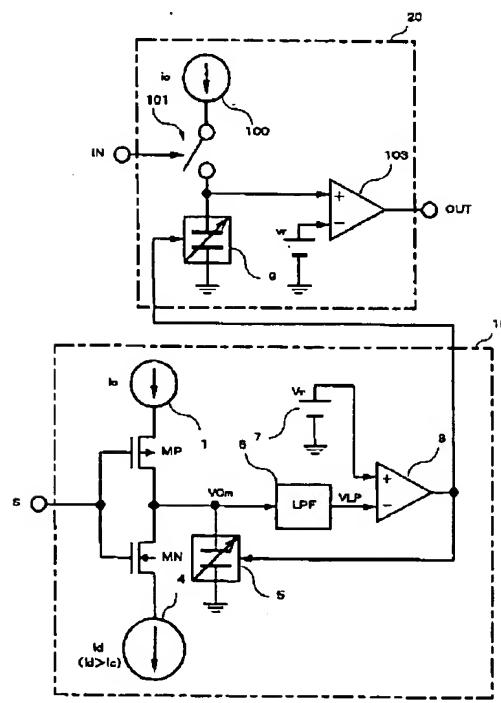
【図11】



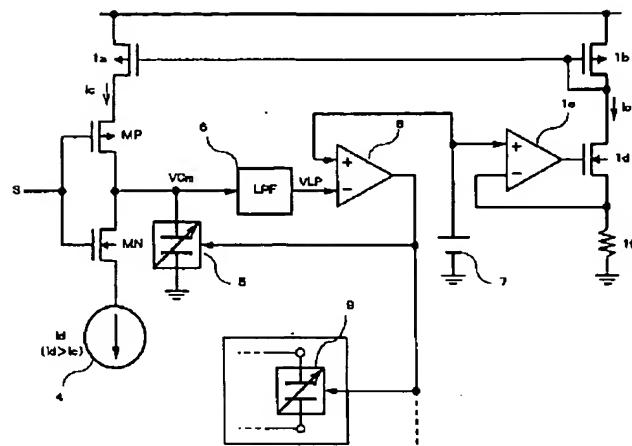
【図6】



【図8】



【図7】



【図9】

